

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **64-025573**
(43)Date of publication of application : **27.01.1989**

(51)Int.Cl. **H01L 29/78**
H01L 27/12

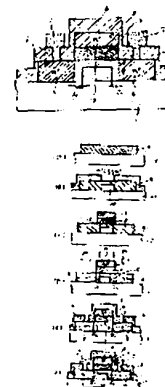
(21)Application number : **62-181055** (71)Applicant : **HITACHI LTD**
(22)Date of filing : **22.07.1987** (72)Inventor : **KAWACHI GENSHIROU**
YOSHIMURA MASAO
ONO KIKUO
KONISHI NOBUTAKE

(54) THIN FILM TRANSISTOR

(57)Abstract:

PURPOSE: To provide a TFT capable of being reduced in off-current upon light irradiation by producing specific density defects only in a specific area within a TFT channel region other than space charge regions formed in the vicinity of drain and source junctions.

CONSTITUTION: An islet-like element region 8 is formed by depositing a polycrystalline silicon film of, for example, 1500 Å on an insulating substrate 1 by a reduced pressure CVD method and subjecting the same to patterning. Then, a resist 11 is formed and employed as a mask to yield a high density defect layer 10 by doping the islet-like element region 8 with Ar⁺ ions under conditions of acceleration voltage of 110 KeV and the dosage of 1×10¹⁶cm⁻². In succession, a SiO₂ film is deposited by an ordinary pressure CVD method, followed by deposition thereon of a polycrystalline silicon film by a reduced pressure CVD method and patterning of the same to form a gate insulating film 2 and a gate electrode 3. In addition, a drain region 5 and a source region 6 are formed by ion-doping of p⁺ for example. Furthermore, an interlayer insulating film is formed by the ordinary pressure CVD method, through which contact holes are made in turn. Finally, Al is vapordeposited and subjected to patterning to form a contact electrode 7 and hence a TFT.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭64-25573

⑮ Int.Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和64年(1989)1月27日

H 01 L 29/78
27/12

3 1 1

H-7925-5F
7514-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 薄膜トランジスタ

⑯ 特 願 昭62-181055

⑰ 出 願 昭62(1987)7月22日

⑱ 発 明 者 河 内 玄 士 朗 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
⑲ 発 明 者 吉 村 雅 夫 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
⑳ 発 明 者 小 野 記 久 雄 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
㉑ 発 明 者 小 西 信 武 茨城県日立市久慈町4026番地 株式会社日立製作所日立研
究所内
㉒ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
㉓ 代 理 人 弁理士 小川 勝男 外2名

明 細 書

1. 発明の名称

薄膜トランジスタ

2. 特許請求の範囲

1. 絶縁基板上に形成された多結晶半導体層に第一の導電型を有するソース及びドレイン領域を有し、この両領域間にゲート絶縁膜を介してゲート電極を有するMOS型薄膜半導体素子において、ゲート絶縁膜は半導体の界面、ドレイン接合面、ソース接合面および絶縁基板で囲まれた領域内で、絶縁基板に接し、かつゲート絶縁膜/半導体界面、ドレイン接合面およびソース接合面から特定の距離離れた領域にのみキャリアの再結合中心となる欠陥を母体の半導体中における濃度以上に含む欠陥層を有することを特徴とする薄膜トランジスタ。

2. 特許請求の範囲第1項において、ゲート絶縁膜-半導体界面、ドレイン接合面およびソース接合面から欠陥層までの距離を1000Å以上とする事の特徴とする薄膜トランジスタ。

3. 特許請求の範囲第1項において、欠陥層に含まれる欠陥の密度がフェルミ準位附近において $1 \times 10^{18} \text{cm}^{-3} \text{eV}^{-1}$ 以上である事の特徴とする薄膜トランジスタ。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、絶縁基板上に形成される半導体薄膜素子に係り、特に、液晶ディスプレイパネル駆動用として使用するのに好適な特性を持つ薄膜トランジスタに関する。

〔従来の技術〕

近年、絶縁基板上に非晶質あるいは多結晶の半導体で薄膜能動素子を形成する技術開発が活発に行なわれている。この技術の応用の1つとして、液晶ディスプレイパネル駆動のための薄膜トランジスタマクティブマトリクスがある。(以下薄膜トランジスタをTFTと記す。)液晶ディスプレイパネルにおいてはその装置構成上、液晶駆動用のTFTアクティブマトリクスは $10^3 \text{Å} \times 10^4 \text{Å} \times$ の強い光照射下での使用が不可避となる

が、このような強い光照射下においてTFTを駆動すると、チャネル領域に光励起されるキャリアによつてオフ電流が上昇し、このTFTにより液晶を駆動する際に重大な障害となる。この光照射によるオフ特性の劣化を抑制する方法として、半導体薄膜の膜厚を薄くする方法が有効である事が、特開昭61-85868、特開昭61-65476において論じられている。

〔発明が解決しようとする問題点〕

しかしながら、ドレイン領域、ソース領域を自己整合的に形成するコープレーナ型のTFTにおいては、半導体薄膜を薄くすると、(1)ドレイン領域ソース領域の抵抗が増大してしまう、(2)ゲートをパターニングする際のプロセス条件が厳しくなる、(3)高品質の半導体膜が得られない、等の問題点があつた。

本発明はこのような問題点を解決するものであり、その目的は、半導体膜の膜厚を薄くすること無しに、光照射時のオフ電流が薄膜化した時と同等に小さい特性をもつ構造のTFTを提供するこ

とにある。

〔問題点を解決するための手段〕

本発明は、TETのチャネル領域内にある特定の領域にのみイオン注入法により 10^{18}cm^{-3} eV^{-1} 以上の密度の欠陥を生成することにより、この領域内での光電流の発生を抑え光照射時のオフ電流の上昇を抑制するもので、更に、ドレイン接合、ソース接合近傍に形成される空間電荷領域を避けて欠陥を生成することにより逆方向リーク電流の増加を防ぐことを特徴とする。

〔作用〕

本発明のTFTの構造を第1図に示す。同図において高抵抗の高濃度欠陥層10の存在により、実効的なチャネル領域の厚さは t_1 から t_2 へ薄くなることとなり、膜厚を薄くした時と同様にオフ電流は小さくなる。更に、光照射時には、チャネル領域内に余剰キャリアが光励起される。一般に、余剰キャリアの寿命 τ と再結合中心の密度 N_t の間には、

$$\tau \propto 1/N_t$$

の関係が成立する為、欠陥層10内で生成された余剰キャリアの寿命は短かく直ちに再結合してほとんど電導に寄与しない。更に、欠陥層10とゲート絶縁膜2の間に欠陥の少ないチャネル領域で生成されるキャリアも、寿命の違いによつて膜厚方向に生じるキャリアの濃度傾配によつて欠陥層10の方へ拡散し再結合して消滅する為、オフ電流は単に膜厚を t_1 から t_2 へ薄くした時よりも減少の効果が顕著になる。

次に、ドレインおよびソース接合面 J_1 、 J_2 と欠陥層10の間に設けた L_D なる長さのオフセットの作用について第3図により説明する。

ドレイン、ソース接合 J_1 、 J_2 近傍には空間電荷層20が形成されるが、この領域内に再結合中心となるような欠陥が存在した場合、ゲート電圧を負にした時の逆方向リーク電流が増加する。第4図は、第3図に示した従来構造のTFTにおいて、チャネル領域内の欠陥密度の異なるTFTの特性を比較したものであるが、欠陥密度の増加と共に逆方向オフ特性が $i_A \rightarrow B \rightarrow C$ と低下してい

るのが明らかである。

強い電界の存在する空間電荷領域内に禁制帯中に準位をつくるような欠陥が存在すると、この欠陥を介してのトンネリング、もしくはキャリアの発生によつて異常に大きなリーク電流が流れる。このリーク電流の詳細な機構については未だ十分明らかではないが、いずれにせよ、空間電荷領域内の欠陥が多くなると、リーク電流が増加する事は明らかである。従つて、本発明のように、接合面と欠陥層の間にオフセットを設け、空間電荷層内に欠陥を導入しないようにする事は逆方向リーク特性の劣化を防止する上で非常に重要である。

このオフセット長 L_D は母材となる多結晶あるいは非晶質シリコン膜内のフェルミ準位付近の局在準位密度 N_t によつて決定される。例えば、フェルミ準位近傍での局在準位密度 N_t が $10^{18}\text{cm}^{-3}\text{eV}^{-1}$ 程度の時、ゼロバイアスでの空間電荷領域幅は1000Å程度となる、逆バイアス印加時の空間電荷層の広がり、およびマスクの合わせ精度を考慮するとオフセット長 L_D は5～

10 μm とればよい。

〔実施例〕

以下、第1図に示した本発明の一実施例の製作工程を第2図により説明する。絶縁基板1上に減圧CVD法により多結晶シリコン膜を例えば1500Å堆積しパターンニングして島状の素子領域8を得る。次に同図(B)に示すようにレジスト11を形成し、このレジストをマスクとしてイオン注入法により例えば Ar^+ イオンを、加速電圧110KeV、ドーズ量 $1 \times 10^{18} \text{cm}^{-2}$ の条件で注入し高濃度欠陥層10を形成する。続いて、レジスト除去した後、常圧CVD法により SiO_2 膜を堆積し、続いて減圧CVD法により多結晶シリコン膜を堆積しパターンニングして同図(C)に示すようなゲート絶縁膜2及びゲート電極3を形成する。次に同図(D)のように例えば p^+ イオンを打ち込みドレイン領域5、ソース領域6を形成する。続いて同図(E)に示すように層間絶縁膜を常圧CVD法により形成し、コンタクトホールを開孔する。最後にAlを蒸着しこれをパターンニングす

る事でコンタクト電極7を形成し、最終的に第1図に示すような構造のTFTが得られる。

本実施例では、多結晶シリコンの場合を例にとって説明したが、非晶質シリコンを用いた場合にも本発明は同様に適用できる。また、高濃度欠陥を生成する為の注入イオンは Ar^+ に限定されるものではなく、シリコン中でドナーやアクセプタとならない電気的に不活性なイオンならば何でも良い。例えば、 O^+ 、 N^+ などでも良い。

〔発明の効果〕

本発明によれば、半導体膜厚を薄膜化することなく、逆方向リーク特性を悪化させることなく、光照射時のオフ電流を薄膜化した時と同等もしくはそれ以上に低減できる効果がある。

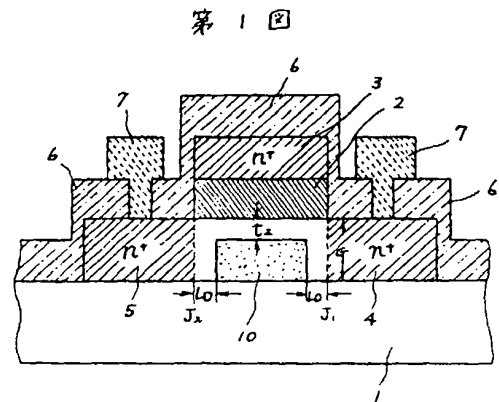
4. 図面の簡単な説明

第1図は本発明の一実施例の断面の模式図、第2図(A)～(F)は第1図の実施例の製造方法を示す工程図、第3図は従来の構造のTFTの断面模式図、第4図は第3図の構造を有するTFTのオフ特性の、シリコン膜の欠陥密度に対する依

存性を示した図である。

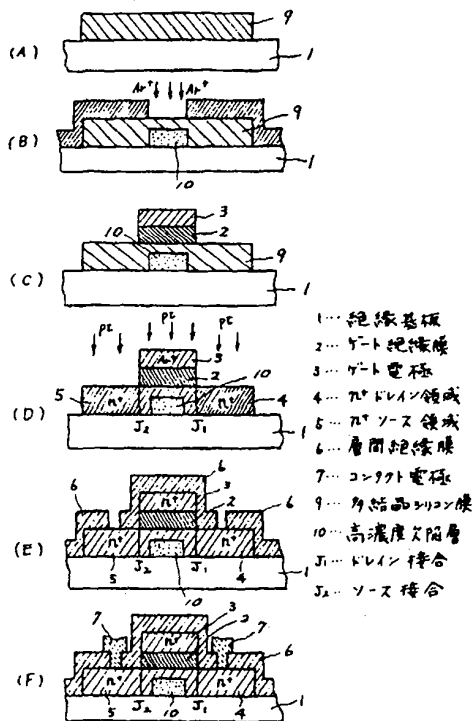
1…絶縁基板、2…ゲート絶縁膜、3…ゲート電極、4… n^+ ドレイン領域、5… n^+ ソース領域、6…層間絶縁膜、7…コンタクト電極、8…iチャネル領域、9…多結晶シリコン層、10…高濃度欠陥層、 J_1 …ドレイン接合、 J_2 …ソース接合、 t_1 …多結晶シリコン膜厚、 t_2 …欠陥層10とゲート絶縁膜の間の距離、 L_0 …欠陥層10とドレイン領域4及びソース領域5の間の距離。

代理人 弁理士 小川勝男

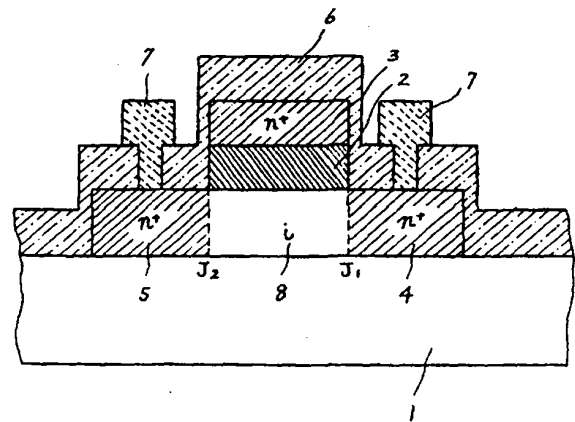


- 1…絶縁基板
2…ゲート絶縁膜
3…ゲート電極
4… n^+ ドレイン領域
5… n^+ ソース領域
6…層間絶縁膜
7…コンタクト電極
10…高濃度欠陥層
 J_1 …ドレイン接合
 J_2 …ソース接合
 t_2 …欠陥層とゲート絶縁膜の距離
 L_0 …欠陥層とドレイン領域、ソース領域の間の距離

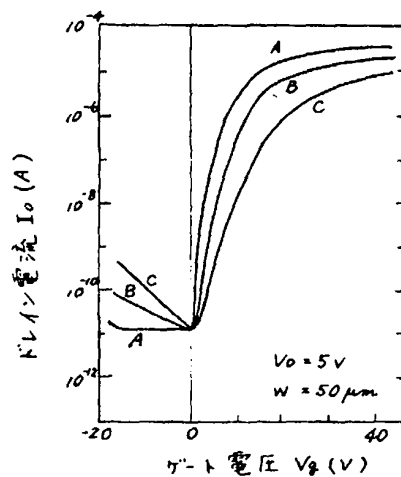
第2図



第3図



第4図



A: $N_L = 5 \times 10^{17} \text{ cm}^{-3} \text{ eV}^{-1}$

B: $N_L = 2 \times 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}$

C: $N_L = 5 \times 10^{18} \text{ cm}^{-3} \text{ eV}^{-1}$